



PATENT ABSTRACTS OF JAPAN

(11) Publication number: **10240497 A**(43) Date of publication of application: **11.09.98**

(51) Int. Cl. **G06F 7/00**
G11C 7/00

(21) Application number: **09044393**(71) Applicant: **SEIKO EPSON CORP**(22) Date of filing: **27.02.97**(72) Inventor: **HARADA MASAOKI**

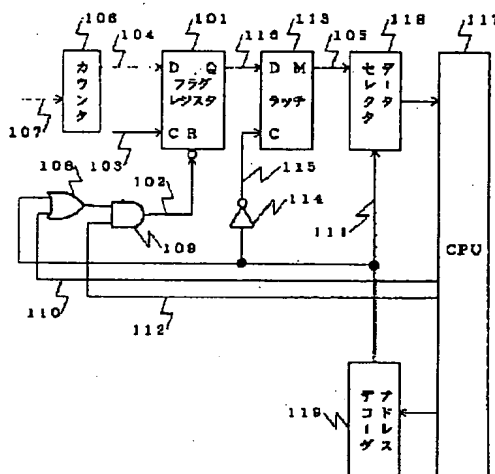
(54) **SEMICONDUCTOR DEVICE AND ELECTRONIC
EQUIPMENT PROVIDED WITH THE SAME**

COPYRIGHT: (C)1998,JPO

(57) Abstract:

PROBLEM TO BE SOLVED: To provide a method for automatically turning a flag register into reset state by reading out flag data held in the flag register by providing a means for turning the flag register, in which flag data are written, into reset state inside a semiconductor device.

SOLUTION: When reading out read data 105, a write signal B115 is inputted to a latch circuit 113 by a CPU 117, and output data 116 of flag register 101 are latched by a latch circuit 113 and held until the completion of read processing. During that processing, a reset signal 102 is inputted from a reset signal generating circuit combining an OR gate 108 and an AND gate 109 to the flag register 101 and the flag register can be turned into reset state. Thus, since it is not necessary to integrate the reset operation processing of flag register into the program of the CPU, the program can be simplified and the capacity of memory to be used for the program can be decreased as well.



(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平10-240497

(43) 公開日 平成10年(1998) 9月11日

(51) IntCl⁸

識別記号

F I

G 0 6 F 7/00

G 0 6 F 7/00

R

G 1 1 C 7/00

3 1 1

G 1 1 C 7/00

3 1 1 D

G 0 6 F 7/00

P

審査請求 未請求 請求項の数3 O L (全 6 頁)

(21) 出願番号

特願平9-44393

(22) 出願日

平成9年(1997) 2月27日

(71) 出願人 000002369

セイコーエプソン株式会社

東京都新宿区西新宿 2 丁目 4 番 1 号

(72) 発明者 原田 正明

長野県諏訪市大和 3 丁目 3 番 5 号 セイコ

ーエプソン株式会社内

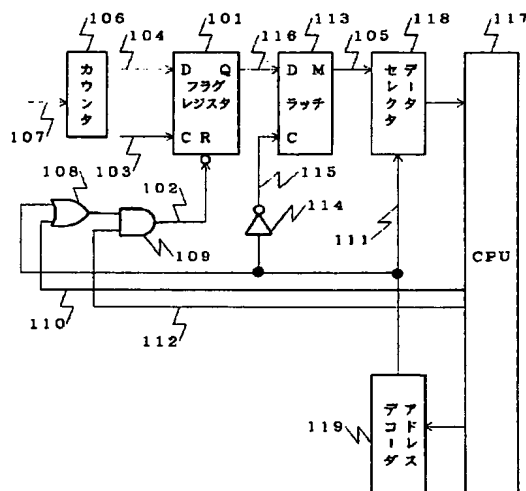
(74) 代理人 弁理士 鈴木 喜三郎 (外 2 名)

(54) 【発明の名称】 半導体装置、及びこれを具備する電子機器

(57) 【要約】

【解決手段】 フラグレジスタを有する半導体装置におけるレジスタのリセット方法に関し、自動的にフラグレジスタをリセット状態にする方法を提供する。CPU 117 がリードデータ 105 を読み出す際、ラッチ回路 113 にライト信号 B 115 を入力し、フラグレジスタ 101 の出力データ 116 をラッチ回路 113 にラッチさせ、読み出し処理が完了するまで保持する。その間、OR ゲート 108 と AND ゲート 109 の組合せによるリセット信号発生回路からリセット信号 102 をフラグレジスタ 101 に入力し、フラグレジスタをリセット状態にすることができる。

【効果】 CPU のプログラムにおいて、フラグレジスタのリセット動作処理を組み込む必要がなくなるため、プログラムの簡略化が可能となり、また、プログラムに使用されるメモリ容量の減少化もできた。



【特許請求の範囲】

【請求項1】 特定の状態に達したことを示すフラグデータを保持するためのフラグレジスタを有する半導体装置において、前記フラグレジスタに保持されたフラグデータを読み出すことにより、前記フラグレジスタの状態をリセット状態にするリセット手段を備えることを特徴とする半導体装置。

【請求項2】 前記リセット手段はラッチ回路とリセット回路とを有しており、前記フラグレジスタのフラグデータを前記フラグレジスタがリセット状態にされている間、前記ラッチ回路に保持することを特徴とする請求項1記載の半導体装置。

【請求項3】 請求項1又は請求項2のいずれかに記載の半導体装置と該半導体装置に基づいてリセット処理を行うCPUとを具備することを特徴とする電子機器。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、フラグレジスタを有する半導体装置におけるレジスタのリセット方法に関し、さらにこの半導体装置を具備するパーソナルコンピュータ、PCカード等の電子機器に関する。

【0002】

【従来の技術】 図3は従来のフラグレジスタとフラグデータを発生する回路を備えた半導体装置の一例とフラグレジスタのリセット処理を行うCentral Processor Unit（以下、CPUと称する。）、及びデータセクタ、アドレスデコーダを示す構成図である。

【0003】 図3に示すようにこの例において、フラグレジスタ301はライトパルスによりフラグデータを保持し、リセットによりフラグデータがクリアされる機能を備えている。また、フラグデータを発生する回路としてカウンタ306を用いている。カウンタ306は4ビットカウンタとし、カウント用のクロック信号307が16回入力されると全数のカウントアップを終了し、カウントの終了を伝えるフラグデータ304を発生する。このフラグデータ304は通常、Lowレベルであり、カウント終了を認識するとHighレベルとなり、フラグデータ304が有効であることを示す。

【0004】 カウンタ306により発生したフラグデータ304はフラグレジスタ301のデータ端子Dに入力される。フラグレジスタ301のクロック端子Cにはデータ書き込み用のライト信号303が入力され、リセット端子RにはCPU308からのリセット信号302が入力される。フラグレジスタ301のリセット状態はリセット信号302がLowレベルの時に設定される。

【0005】 尚、CPU308からは半導体装置が有する他の複数のレジスタに対するリセット信号も出力されている。

【0006】 フラグレジスタ301の出力データ端子Q

からはリードデータ305がデータセクタ309に入力される。このデータセクタ309は半導体装置が有する他の複数のレジスタからのデータも入力されており、フラグレジスタ301のデータを選択するために、CPU308からフラグレジスタ301に対応したアドレスをアドレスデコーダ310に発生し、アドレスデコーダ310によりデコードしたイネーブル信号311をデータセクタ309に入力する。

【0007】 CPU308はデータセクタ309を介し、リードデータ305を読み出して認識した後、内部プログラムに組み込まれているフラグレジスタ301用のリセット処理命令によりリセット信号302をLowレベルとし、フラグレジスタ301をリセット状態とする。このリセット状態になると、リードデータ305はLowレベルを出力する。

【0008】 図4は上述の内、フラグレジスタ301とカウンタ306の動作状況を説明するタイミング図である。

【0009】 図4において、前述のクロック信号307をCLK、フラグデータ304をFGDATA、ライト信号303をWRITE、リセット信号302をRESET、及びリードデータ305をRDDATAと表すものとする。

【0010】 カウンタ306はCLKの立ち上がりエッジによりカウントを行うものとする、前述のように、CLKが16回入力され、16回目のCLKの立ち上がりのタイミングでFGDATAがHighレベルとなり、このデータがフラグレジスタ301に伝達され、WRITEによりフラグレジスタ301に保持される。このタイミング時より、RDDATAはHighレベルが出力され、CPUが読み出し命令によりRDDATAを読み出した後、リセット処理命令によりRESETをLowレベルとする。

【0011】 以上のような方法により、フラグレジスタに保持されているフラグデータをCPUが読み出し、認識した後、リセット信号を送り、フラグレジスタをリセット状態にするようにしていた。

【0012】

【発明が解決しようとする課題】 しかし、前述の従来技術では、フラグレジスタに保持されたフラグデータをCPUが読み出し、読み出し処理を終了した後、フラグレジスタに対してリセット動作を行うという処理をCPUの管理するプログラムに組み込んでいた。

【0013】 そのため、フラグレジスタからのフラグデータを読み出す処理が頻繁に行われる場合、その都度、上述のようにリセット動作を行う処理を付加する必要があり、プログラムの容量が増大し、かつ、複雑になるという問題があった。

【0014】 また、プログラムを作成する際に、リセット動作の処理を誤って組み込んだ場合、半導体装置の動

作に不具合が生じるという問題もあった。

【0015】そこで本発明は、このような問題点を解決するためになされるもので、フラグデータが書き込まれるフラグレジスタをリセット状態にする手段を半導体装置の内部に有し、フラグレジスタに保持されているフラグデータを読み出すことにより、自動的にフラグレジスタをリセット状態にする方法を提供することを目的とする。

【0016】

【課題を解決するための手段】本発明の請求項1記載の半導体装置は、特定の状態に達したことを示すフラグデータを保持するフラグレジスタを有し、フラグレジスタに保持されたフラグデータを読み出すことにより、フラグレジスタの状態をリセット状態にするリセット手段を備えたことを特徴とする。

【0017】本発明の請求項2記載の半導体装置は、リセット手段としてラッチ回路とリセット回路とを有しており、フラグレジスタのフラグデータをフラグレジスタがリセット状態にされている間、ラッチ回路に保持することを特徴とする。

【0018】本発明の請求項3記載の電子機器は、請求項1又は請求項2のいずれかに記載の半導体装置と該半導体装置に基づいてリセット処理を行うCPUとを具備することを特徴とする。

【0019】

【発明の実施の形態】本発明の実施の形態を図面に基づき説明する。

【0020】図1は本発明の一実施例を示す半導体装置と該半導体装置に基づいてリセット処理を行うCPUとを具備する電子機器の要部を示す構成図である。

【0021】図1に示すようにこの例において、フラグレジスタ101はライトパルスによりフラグデータを保持し、リセットによりフラグデータがクリアされる機能を備えている。また、フラグデータを発生する回路としてカウンタ106を用いている。

【0022】カウンタ106は4ビットカウンタとし、カウント用のクロック信号107が16回入力されると全数のカウントアップを終了し、カウントの終了を伝えるフラグデータ104を発生する。このフラグデータ104は通常、Lowレベルであり、カウント終了を認識するとHighレベルとなり、フラグデータ104が有効であることを示す。

【0023】カウンタ106により発生したフラグデータ104はフラグレジスタ101のデータ端子Dに入力される。フラグレジスタ101のクロック端子Cにはデータ書き込み用のライト信号A103が入力され、リセット端子Rにはリセット信号102が入力される。

【0024】このリセット信号102は、ORゲート108とANDゲート109から成るリセット信号発生回路から与えられる。ORゲート108の2つの入力端子

の一方にCPU117が読み出すためのリード信号110が入力され、もう一方には該半導体装置内に有する他の複数のレジスタの中から、CPUがフラグレジスタ101のデータを読み出すことを有効とするイネーブル信号111が入力される。

【0025】このイネーブル信号111はCPU117からフラグレジスタ101に対応したアドレスをアドレスデコーダ119に発生し、アドレスデコーダ119によりデコードして得られる。

【0026】前述のリード信号110、及びイネーブル信号111はLowレベルで有効になるものとする。

【0027】また、ANDゲート109の2つの入力端子の一方にORゲート108の出力信号が入力され、もう一方には初期段階において、フラグレジスタ101をリセット状態にするための初期リセット信号112がCPU117から入力される。

【0028】尚、この初期リセット信号112はCPU117から与えられる他に、該電子機器に電源電圧が供給された時に発生するパワーオンリセットによる方法でも良い。

【0029】フラグレジスタ101のリセット状態はリセット信号102がLowレベルの時に設定される。

【0030】フラグレジスタ101の出力データ端子Qの出力データ116は、ラッチ回路113のデータ端子Dに入力され、ラッチ回路113の出力データ端子MからはCPUが読み出すためのリードデータ105がデータセクタ309に入力される。このデータセクタ309は該半導体装置が有する他の複数のレジスタからのデータも入力されており、フラグレジスタ101のデータを選択するために、前述のイネーブル信号111がデータセクタ309に入力される。

【0031】また、ラッチ回路113のクロック端子Cにはイネーブル信号111をインバータ114により反転したライト信号B115が入力される。

【0032】図2は上述の内、フラグレジスタ101とカウンタ106、及びラッチ回路113の動作状況を説明するタイミング図である。

【0033】図2において、前述のクロック信号107をCLK、フラグデータ104をFGDATA、ライト信号A103をWRITEA、リセット信号102をRESET、初期リセット信号112をINIRST、リード信号110をRD、イネーブル信号111をENABLE、出力データ116をOUTDAT、ライト信号B115をWRITEB、及びリードデータ105をRDDATAと表すものとする。

【0034】カウンタ106はCLKの立ち上がりエッジによりカウントを行うものとする、前述のように、CLKが16回入力され、16回目のCLKの立ち上がりのタイミングでFGDATAがHighレベルとなり、このFGDATAがフラグレジスタ101に伝達さ

れ、WRITEBによりフラグレジスタ101に保持される。フラグレジスタ101から出力されるOUTDATはこのタイミング時より、Highレベルが出力される。

【0035】RDとENABLEの関係は図2に示されるように、ENABLEがLowレベルになっている範囲内においてRDがLowレベルになっている。また、WRITEBはENABLEの反転信号であるため、ラッチ回路113の機能において、WRITEBがHighレベル、つまり、ENABLEがLowレベルとなっている間OUTDATをRDDATAに出力し続けていることになる。

【0036】RESETはINIRSTがHighレベルに設定されている場合、ORゲート108の機能において、RD、及びENABLEが共にLowレベルとなっている間はLowレベルとなる。

【0037】従って、リード信号110がLowレベルになった時点でリセット信号102はLowレベルとなり、フラグレジスタ101をリセット状態にするものの、CPU117がリード信号110をLowレベルにして読み出しを行っている間は、ラッチ回路113に保持されているリードデータ105が正確に読み出されている。

【0038】このような方法により、CPU117がカウンタ106のカウントを終了したことを示すフラグデータを読み出した後、本発明の半導体装置が有するリセット信号発生回路によりフラグレジスタのリセット動作を行うため、該半導体装置とCPUとを具備する電子機器において、CPUから他の複数のレジスタへ接続するリセット用の信号線が不要となり、該半導体装置及び、CPUの端子数の減少化が可能で、各々のパッケージサイズの小型化ができ、低コストのデバイスが使用できる。

【0039】また、配線削減により、基板サイズの小型化、あるいは、PCカードなどの実装スペースが限られた製品ではメモリ等のデバイスをより多く実装できる。

【0040】

【発明の効果】以上述べたように、本発明の半導体装

置、及びこれを具備する電子機器によれば、CPUのプログラムにおいて、フラグレジスタのリセット動作処理を組み込む必要がなくなるため、プログラムの簡略化が可能となり、また、プログラムに使用されるメモリ容量の減少化もできる効果がある。

【0041】更に、プログラム作成における誤りが原因となる半導体装置、及びこれを具備する電子機器の動作不具合の発生を防止できる効果もある。

【図面の簡単な説明】

【図1】本発明の一実施例の半導体装置とこれを具備する電子機器の要部を示す構成図。

【図2】本発明の半導体装置の実施例における、各信号のタイミングチャート。

【図3】従来の半導体装置を示す構成図。

【図4】従来の半導体装置における、各信号のタイミングチャート。

【符号の説明】

101, 301 : フラグレジスタ

102, 302 : リセット信号

103 : ライト信号A

303 : ライト信号

104, 304 : フラグデータ

105, 305 : リードデータ

106, 306 : カウンタ

107, 307 : クロック信号

108 : ORゲート

109 : ANDゲート

110 : リード信号

111 : イネーブル信号

112 : 初期リセット信号

113 : ラッチ回路

114 : インバータ

115 : ライト信号B

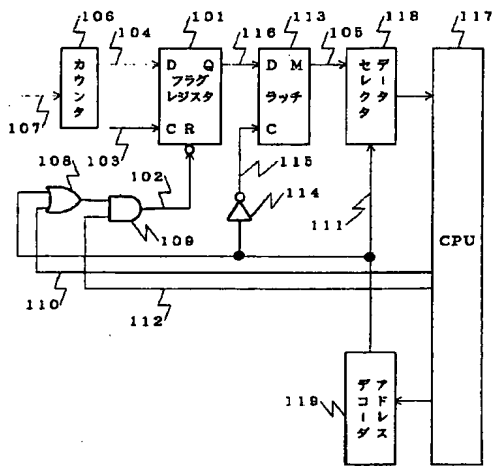
116 : 出力データ

117, 308 : CPU

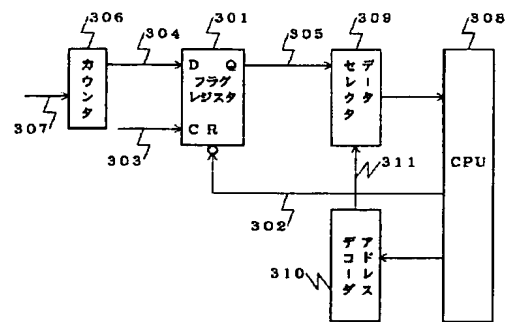
118, 309 : データセクタ

119, 310 : アドレスデコーダ

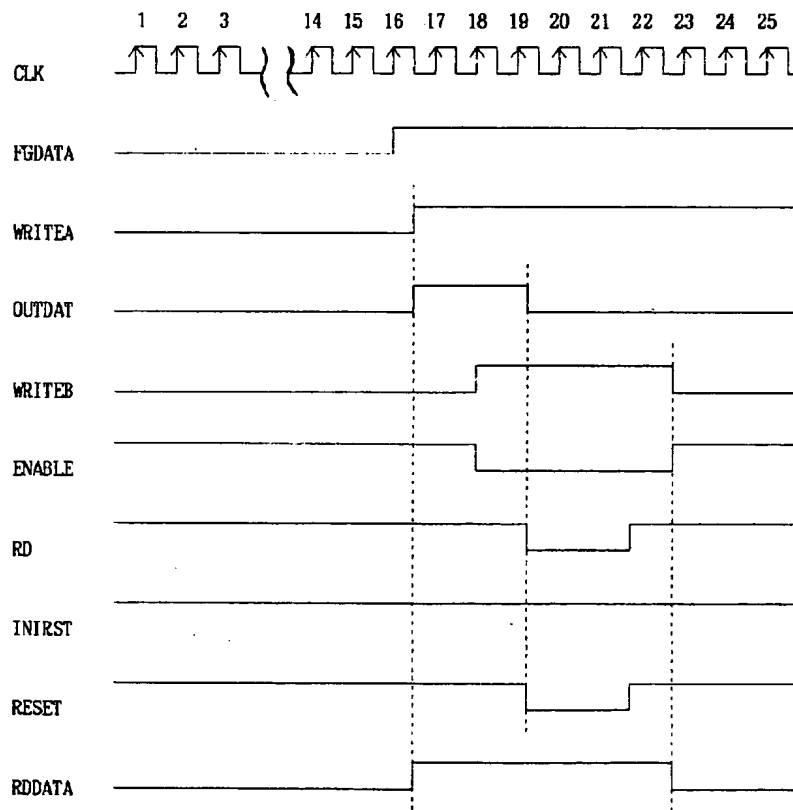
【図1】



【図3】



【図2】



【図4】

